

Attorney Docket No. 5649-1165

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Dae-hyun Chung

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: METHODS FOR GENERATING OUTPUT CONTROL SIGNALS IN
SYNCHRONOUS SEMICONDUCTOR MEMORY DEVICES AND RELATED
SEMICONDUCTOR MEMORY DEVICES

Date: November 6, 2003

M.S. PATENT APPLICATION

Commissioner for Patents

P. O. Box 1450

Alexandria, VA 22313-1450

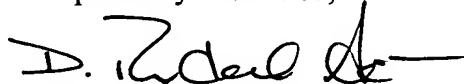
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2002-0078386, filed December 10, 2002.

Respectfully submitted,



D. Randal Ayers
Registration No. 40,493

USPTO Customer No. 20792

Myers Bigel Sibley & Sajovec, P.A.

Post Office Box 37428

Raleigh, North Carolina 27627

Telephone: (919) 854-1400

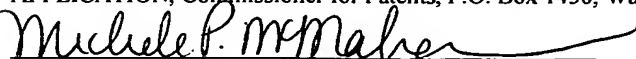
Facsimile: (919) 854-1401

Our File No. 5649-1165

"Express Mail" mailing label number EV 353592935 US

Date of Deposit: November 6, 2003

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to MAIL STOP PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Washington, DC 20231.


Michele P. McMahan



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0078386
Application Number

출원 년 월 일 : 2002년 12월 10일
Date of Application DEC 10, 2002

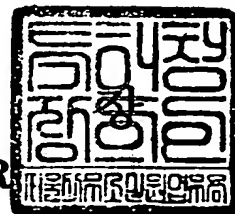
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 02 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0025
【제출일자】	2002.12.10
【국제특허분류】	G11C
【발명의 명칭】	클락 지터의 영향을 감소시킬 수 있는 동기식 반도체 메모리 장치
【발명의 영문명칭】	Synchronous semiconductor memory device capable of reducing the influence of clock jitter
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	정대현
【성명의 영문표기】	CHUNG,Dae Hyun
【주민등록번호】	710628-1025615
【우편번호】	305-335
【주소】	대전광역시 유성구 궁동 458-12 203호
【국적】	KR
【발명자】	
【성명의 국문표기】	신상웅
【성명의 영문표기】	SHIN,Sang Woong
【주민등록번호】	711012-1047710

【우편번호】 121-220
【주소】 서울특별시 마포구 합정동 441-30번지 301
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 9 면 9,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 7 항 333,000 원
【합계】 371,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

클락 지터의 영향을 감소시킬 수 있는 동기식 반도체 메모리 장치는 입력 지연동기 루프회로, 출력 지연동기루프회로, 출력제어신호 발생회로 및 출력 버퍼를 구비한다. 입력 지연동기루프회로는 입력 동기시간이 경과한 후 외부클락신호에 동기하는 내부클락신호를 발생한다. 출력 지연동기루프회로는 출력 동기시간이 경과한 후 외부클락신호에 동기하며, 데이터가 외부클락신호에 동기되어 출력되도록 제어하는 출력제어클락신호를 발생한다. 출력제어신호 발생회로는 각각의 소스 클락들이 일치된 내부클락신호와 출력제어클락신호에 응답하여 리드 정보 신호를 순차적으로 쉬프트하고, 카스 레이턴시의 활성화를 지시하는 카스 레이턴시 신호에 응답하여 상기 쉬프트된 리드 정보 신호들 중 하나를 데이터의 출력구간을 지시하는 출력제어신호로서 발생한다. 출력버퍼는 출력제어신호 및 출력제어클락신호에 응답하여, 내부 데이터를 버퍼링하여 데이터를 출력한다. 상기 동기식 반도체 메모리 장치는 서로 다른 종류의 클락 신호들을 가지고 클락킹하는 출력제어신호 발생회로에서 상기 클락신호들의 소스 클락을 일치시킴으로써, 지터의 영향을 감소시킬 수 있다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

클락 지터의 영향을 감소시킬 수 있는 동기식 반도체 메모리 장치{Synchronous semiconductor memory device capable of reducing the influence of clock jitter}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 동기식 반도체 메모리 장치의 출력제어신호 발생회로를 나타내는 회로도이다.

도 2는 도 1의 출력제어신호 발생회로에서 발생하는 타이밍 마진의 감소를 설명하기 위한 예시적인 타이밍 다이어그램이다.

도 3은 본 발명의 일 실시예에 따른 동기식 반도체 메모리 장치를 나타내는 블록 다이어그램이다.

도 4는 도 3에 도시된 제1 전송/지연 회로를 보다 상세히 나타내는 블록 다이어그램이다.

도 5는 도 3에 도시된 제2 전송/지연 회로를 보다 상세히 나타내는 블록 다이어그램이다.

도 6은 카스 레이턴시가 6일 때 본 발명의 일 실시예에 따른 동기식 반도체 메모리 장치의 동작을 나타내는 예시적인 타이밍 다이어그램이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <8> 본 발명은 동기식 반도체 메모리 장치에 관한 것으로, 보다 상세하게는, 클락 지터의 영향을 감소시킬 수 있는 동기식 반도체 메모리 장치에 관한 것이다.
- <9> 컴퓨터 시스템에서 메인(main) 메모리로서 사용되는 반도체 메모리 장치는 메모리 셀로/로부터 데이터를 입력/출력하는 것에 의해 그 역할을 수행한다. 상기 반도체 메모리 장치의 데이터 입력/출력 속도는 컴퓨터 시스템의 동작속도를 결정하는 데 매우 중요한 요소이다. 반도체 메모리 장치의 동작 속도를 향상시키기 위하여, 컴퓨터 시스템으로부터 발생하는 클락 신호에 동기하여 내부 회로들이 제어되는 동기식 다이내믹 랜덤 액세스 메모리(synchronous dynamic random access memory, Synchronous DRAM) 장치(SDRAM)가 사용되어 왔다.
- <10> 일반적으로, 동기식 반도체 메모리 장치(SDRAM)는 동작 주파수를 증가시키기 위하여 카스 레이턴시(CAS latency)기능을 사용한다. 카스 레이턴시는 리드 명령(read command)의 인가 시간으로부터 출력 데이터 신호가 유효한 것으로 간주될 수 있기 전에 필요한 시간 지연으로서 정의된다. 이러한 시간 지연은 외부 클락 신호에 동기되는 리드 명령과 함께 발생된 외부 클락 신호의 사이클(cycle)들의 정수(integer number)로 표현될 수 있다.
- <11> 도 1은 종래의 동기식 반도체 메모리 장치의 출력제어신호 발생회로를 나타내는 회로도이다. 도 1을 참조하면, 출력제어신호 발생회로(100)는 멀티플렉서(multiplexer,

110), 쉬프트 레지스터(shift register, 130), 제1, 제2, 제3 및 제4 지연 회로들(151 ~ 154)을 포함한다.

<12> 쉬프트 레지스터(130)는 내부 클락 신호(PCLK), 제1, 제2, 제3 및 제4 지연 회로들(151 ~ 154)을 통해 지연되는 출력제어클락신호 및 출력제어클락신호(PCLKDQ)에 응답하여, 데이터의 출력구간을 지시하는 리드 정보 신호(PREAD)를 순차적으로 쉬프트(shift)시킨다. 즉, 쉬프트 레지스터(130)는 서로 다른 클락 신호들(즉, 내부클락신호(PCLK)와 출력제어클락신호(PCLKDQ))에 의해 클락킹(clocking)되므로, 클락킹 동작 동안 클락신호의 종류가 변경된다. 보다 상세히 설명하면, 쉬프트 레지스터(130)에 포함된 제1 플립-플롭(flip-flop, 131)은 내부클락신호(PCLK)에 의해 클락킹되지만, 쉬프트 레지스터(130)에 포함된 플립-플롭들(132 ~ 136)은 출력제어클락신호(PCLKDQ)에 의해 클락킹된다. 즉, 제2 플립-플롭(132)의 클락단자에 대응하는 노드(A)에서 클락신호의 종류가 변경된다.

<13> 상기 내부클락신호(PCLK)는 동기식 반도체 메모리 장치에 포함된 입력 지연동기루프회로(input delay locked-loop circuit, 미도시)를 통해 발생하는 신호이며, 외부클락신호(미도시)에 동기된다. 그리고, 출력제어클락신호(PCLKDQ)는 동기식 반도체 메모리 장치에 포함된 출력 지연동기루프회로(output delay locked-loop circuit, 미도시)를 통해 발생하는 신호이며, 데이터가 외부 클락 신호의 상승 에지(rising edge) 및 하강 에지(falling edge)에 동기되어 출력되도록 제어하는 신호이다. 일반적으로, 출력 제어 클락 신호(PCLKDQ)는 tAC(외부 클락으로부터 데이터가 출력될 때까지의 시간)가 0 인 조건을 만족시키기 위하여 외부 클락 신호의 발생 전에 발생된다.

- <14> 멀티플렉서(110)는 카스 레이턴시의 활성화를 나타내는 각각의 카스 레이턴시 신호들(CLi, 여기서 $i = 3, 4, 5, 6, 7$)에 응답하여, 쉬프트 레지스터(130)의 출력 신호들 중 하나를 각각의 카스 레이턴시 신호(CLi)에 대응하는 출력제어신호(LATENCY)로서 출력한다. 출력제어신호(LATENCY)는 적절한 데이터 출력 시간 구간 동안 데이터가 출력(즉, 활성화)되도록 하기 위하여, 동기식 반도체 메모리 장치에 포함된 출력 버퍼(미도시)에 인가된다.
- <15> 도 2는 도 1의 출력제어신호 발생회로에서 발생하는 타이밍 마진의 감소를 설명하기 위한 예시적인 타이밍 다이어그램이다.
- <16> 제1 외부 클락 신호(ECLK1)에 발생된 지터(jitter, TJ1) 때문에, 제1 외부 클락 신호(ECLK1)의 듀티 사이클(duty cycle)은 55%:45%로 변경되고 듀티 사이클의 에러(error)가 5%로 된다. 그리고, 제2 외부클락신호(ECLK2)에 발생된 지터(TJ2) 때문에, 제2 외부 클락신호(ECLK2)의 듀티 사이클은 45%:55%로 변경되고, 듀티 사이클의 에러가 5%로 된다.
- <17> 리드 명령(READ CMD)은 제2 외부클락신호(ECLK2)에 동기되어 발생되고, 리드 명령(READ CMD)에 의해 발생하는 리드 정보 신호(PREAD)가 소정의 시간 구간 동안 하이 레벨(high level)로서 활성화된다.
- <18> 제2 외부클락신호(ECLK2)를 소스 클락(source clock)으로 하는 제1 내부클락신호(PCLK1)의 듀티 사이클의 에러는 5%로 된다. 제1 내부클락신호(PCLK1)는 리드 정보 신호(PREAD)를 샘플링(sampling)하여 도 1의 제1 플립-플롭(131)의 출력신호(PREAD1)를 발생시킨다.

<19> 제1 외부클락신호(ECLK1)를 소스 클락(source clock)으로 하고, 도 1에 도시된 노드(A)에 인가되며 출력제어클락신호(PCLKDQ)를 소정의 시간 만큼 지연한 제1 출력제어클락신호(PCLKDQ_A1)의 듀티 사이클의 에러는 5%로 된다. 상기 제1 출력제어클락신호(PCLKDQ_A1)는 상기 제1 플립-플롭(131)의 출력신호(PREAD1)를 샘플링하여 도 1에 도시된 제2 플립-플롭(132)의 출력신호(PREAD2)를 발생시킨다.

<20> 따라서, 리드 정보 신호(PREAD) 및 제1 플립-플롭(131)의 출력신호(PREAD1)를 샘플링하기 위한 타이밍 마진(timing margin)은 제1 외부클락신호(ECLK1) 및 제2 외부클락신호(ECLK2)에 연속적으로 발생하는 지터들 때문에 10%의 듀티 사이클의 에러를 가지므로, 상기 타이밍 마진은 지터가 발생하지 않은 경우의 제1 타이밍 마진(TM1)에서 지터가 발생한 경우의 제2 타이밍 마진(TM2)으로 감소될 수 있다.

【발명이 이루고자 하는 기술적 과제】

<21> 따라서, 본 발명이 이루고자 하는 기술적 과제는 내부클락신호 및 출력제어클락신호의 소스 클락을 일치시켜 지터의 영향을 감소시킬 수 있는 동기식 반도체 메모리 장치를 제공하는 것이다.

【발명의 구성 및 작용】

<22> 상기의 기술적 과제를 달성하기 위하여 본 발명에 따른 동기식 반도체 메모리 장치는, 입력 동기시간이 경과한 후 외부클락신호에 동기하는 내부클락신호를 발생하는 입력 지연동기루프회로; 출력 동기시간이 경과한 후 상기 외부클락신호에 동기하며, 데이터가 상기 외부클락신호에 동기되어 출력되도록 제어하는 출력제어클락신호를 발생하는 출력 지연동기루프회로; 각각의 소스 클락들이 일치된 내부클락신호와 출력제어클락신호에

응답하여 리드 정보 신호를 순차적으로 쉬프트하고, 카스 레이턴시의 활성화를 지시하는 카스 레이턴시 신호에 응답하여 상기 쉬프트된 리드 정보 신호들 중 하나를 상기 데이터의 출력구간을 지시하는 출력제어신호로서 발생하는 출력제어신호 발생회로; 및 상기 출력제어신호 및 상기 출력제어클락신호에 응답하여, 내부 데이터를 버퍼링하여 상기 데이터를 출력하는 출력버퍼를 구비하는 것을 특징으로 한다.

<23> 바람직한 실시예에 따르면, 상기 동기식 반도체 메모리 장치는 상기 내부클락신호와 상기 출력제어클락신호의 소스클락을 일치시키기 위하여 상기 내부클락신호를 지연 없이 전송하거나 또는 상기 내부 클락 신호의 적어도 한 사이클 만큼 지연하는 제1 전송/지연 회로를 더 구비한다.

<24> 바람직한 실시예에 따르면, 상기 동기식 반도체 메모리 장치는 상기 내부클락신호와 상기 출력제어클락신호의 소스클락을 일치시키기 위하여 상기 출력제어클락신호를 지연 없이 전송하거나 또는 상기 출력제어클락신호의 적어도 한 사이클 만큼 지연하는 제2 전송/지연 회로를 더 구비한다.

<25> 바람직한 실시예에 따르면, 상기 제1 전송/지연 회로는, 카스 레이턴시가 3인 경우에 대응하며, 상기 내부클락신호를 절단되지 않은 퓨즈를 통해 지연 없이 전송하거나, 또는 상기 내부클락신호를 상기 절단되지 않은 퓨즈를 통해 상기 내부클락신호의 한 사이클, 두개의 사이클들 또는 세 개의 사이클들 만큼 지연하는 제1 전송/지연부; 상기 카스 레이턴시가 4인 경우에 대응하며, 상기 내부 클락신호를

절단되지 않은 퓨즈를 통해 지연 없이 전송하거나, 또는 상기 내부클락신호를 상기 절단되지 않는 퓨즈를 통해 상기 내부클락신호의 한 사이클, 두 개의 사이클들 또는 세 개의 사이클들 만큼 지연하는 제2 전송/지연부; 상기 카스 레이턴시가 5인 경우에 대응하며, 상기 내부클락신호를 절단되지 않은 퓨즈를 통해 지연 없이 전송하거나, 또는 상기 내부클락신호를 상기 절단되지 않는 퓨즈를 통해 상기 내부클락신호의 한 사이클, 두개의 사이클들 또는 세 개의 사이클들 만큼 지연하는 제3 전송/지연부; 상기 카스 레이턴시가 6인 경우에 대응하며, 상기 내부클락신호를 절단되지 않은 퓨즈를 통해 지연 없이 전송하거나, 또는 상기 내부클락신호를 상기 절단되지 않는 퓨즈를 통해 상기 내부클락신호의 한 사이클, 두 개의 사이클들 또는 세 개의 사이클들 만큼 지연하는 제4 전송/지연부; 상기 카스 레이턴시가 7인 경우에 대응하며, 상기 내부클락신호를 절단되지 않은 퓨즈를 통해 지연 없이 전송하거나, 또는 상기 내부클락신호를 상기 절단되지 않는 퓨즈를 통해 상기 내부클락신호의 한 사이클, 두 개의 사이클들 또는 세 개의 사이클들 만큼 지연하는 제5 전송/지연부; 및 상기 카스 레이턴시가 3, 4, 5, 6 및 7임을 지시하는 각각의 카스 레이턴시 신호들에 응답하여, 상기 제1, 제2, 제3, 제4 및 제5 전송/지연부를 통해 전송/지연되는 내부클락신호들 중 하나를 선택하는 멀티플렉서를 구비한다.

<26> 바람직한 실시예에 따르면, 상기 제2 전송/지연 회로는, 카스 레이턴시가 3인 경우에 대응하며, 상기 출력제어클락신호를 절단되지 않은 퓨즈를 통해 지연 없이 전송하거나, 또는 상기 출력제어클락신호를 상기 절단되지 않는 퓨즈를 통해 상기 출력제어클락신호의 한 사이클, 두개의 사이클들 또는 세 개의 사이클들 만큼

지연하는 제6 전송/지연부; 상기 카스 레이턴시가 4인 경우에 대응하며, 상기 출력제어 클락신호를 절단되지 않은 퓨즈를 통해 지연 없이 전송하거나, 또는 상기 출력제어 클락신호를 상기 절단되지 않은 퓨즈를 통해 상기 출력제어 클락신호의 한 사이클 또는 두 개의 사이클들 또는 세 개의 사이클들 만큼 지연하는 제7 전송/지연부; 상기 카스 레이턴시가 5인 경우에 대응하며, 상기 출력제어 클락신호를 절단되지 않은 퓨즈를 통해 지연 없이 전송하거나, 또는 상기 출력제어 클락신호를 상기 절단되지 않은 퓨즈를 통해 상기 출력제어 클락신호의 한 사이클, 두 개의 사이클들 또는 세 개의 사이클들 만큼 지연하는 제8 전송/지연부; 상기 카스 레이턴시가 6인 경우에 대응하며, 상기 출력제어 클락신호를 절단되지 않은 퓨즈를 통해 지연 없이 전송하거나, 또는 상기 출력제어 클락신호를 상기 절단되지 않은 퓨즈를 통해 상기 출력제어 클락신호의 한 사이클, 두 개의 사이클들 또는 세 개의 사이클들 만큼 지연하는 제9 전송/지연부; 상기 카스 레이턴시가 7인 경우에 대응하며, 상기 출력제어 클락신호를 절단되지 않은 퓨즈를 통해 지연 없이 전송하거나, 또는 상기 출력제어 클락신호를 상기 절단되지 않은 퓨즈를 통해 상기 출력제어 클락신호의 한 사이클, 두 개의 사이클들 또는 세 개의 사이클들 만큼 지연하는 제10 전송/지연부; 및 상기 카스 레이턴시가 3, 4, 5, 6 및 7임을 지시하는 각각의 카스 레이턴시 신호들에 응답하여, 상기 제6, 제7, 제8, 제9 및 제10 전송/지연부를 통해 전송/지연되는 출력제어 클락신호들 중 하나를 선택하는 멀티플렉서를 구비한다.

<27> 바람직한 실시예에 따르면, 상기 제1, 제2, 제3, 제4 및 제5 전송/지연부들 각각은 상기 내부 클락신호를 상기 내부 클락신호의 한 사이클 만큼 지연하는 제1 단



위주기 지연회로; 상기 제1 단위주기 지연회로를 통해 지연된 내부클락신호를 상기 내부 클락신호의 한 사이클 만큼 지연하는 제2 단위주기 지연회로; 상기 제2 단위주기 지연회로를 통해 지연된 내부클락신호를 상기 내부클락신호의 한 사이클 만큼 지연하는 제3 단위주기 지연회로; 절단되지 않을 때, 상기 내부클락신호를 지연없이 상기 멀티플렉서로 전송하는 제1 퓨즈; 절단되지 않을 때, 상기 제1 단위주기 지연회로를 통해 지연되는 내부클락신호를 상기 멀티플렉서로 전송하는 제2 퓨즈; 절단되지 않을 때, 상기 제2 단위주기 지연회로를 통해 지연되는 내부클락신호를 상기 멀티플렉서로 전송하는 제3 퓨즈; 및 절단되지 않을 때, 상기 제3 단위주기 지연회로를 통해 지연되는 내부클락신호를 상기 멀티플렉서로 전송하는 제4 퓨즈를 구비한다.

<28> 바람직한 실시예에 따르면, 상기 제6, 제7, 제8, 제9 및 제10 전송/지연부들 각각은 상기 출력제어클락신호를 상기 출력제어클락신호의 한 사이클 만큼 지연하는 제4 단위주기 지연회로; 상기 제4 단위주기 지연회로를 통해 지연된 출력제어클락신호를 상기 출력제어클락신호의 한 사이클 만큼 지연하는 제5 단위주기 지연회로; 상기 제5 단위주기 지연회로를 통해 지연된 출력제어클락신호를 상기 출력제어클락신호의 한 사이클 만큼 지연하는 제6 단위주기 지연회로; 절단되지 않을 때, 상기 출력제어클락신호를 지연없이 상기 멀티플렉서로 전송하는 제5 퓨즈; 절단되지 않을 때, 상기 제4 단위주기 지연회로를 통해 지연되는 출력제어클락신호를 상기 멀티플렉서로 전송하는 제6 퓨즈; 절단되지 않을 때, 상기 제5 단위주기 지연회로를 통해 지연되는 출력제어클락신호를 상기 멀티플렉서로 전송하는 제7 퓨즈; 및 절단되지 않을 때, 상기 제6 단위주기 지연회로를 통해 지연되는 출력제어클락신호를 상기 멀티플렉서로 전송하는 제8 퓨즈를 구비한다.

- <29> 이러한 본 발명에 따른 동기식 반도체 메모리 장치는 서로 다른 종류의 클락 신호들을 가지고 클락킹하는 출력제어신호 발생회로에서 상기 클락신호들의 소스 클락을 일치시킴으로써, 듀티 사이클의 에러에 대한 여유도(immunity)를 증가시킬 수 있고 지터의 영향을 감소시켜 안정적인 동작을 수행할 수 있다.
- <30> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <31> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <32> 도 3은 본 발명의 일 실시예에 따른 동기식 반도체 메모리 장치를 나타내는 블록 다이어그램이다. 도 3을 참조하면, 동기식 반도체 메모리 장치(300)는 입력 지연동기루프회로(310), 출력 지연동기루프회로(320), 제1 전송/지연 회로(330), 제2 전송/지연 회로(340), 출력제어신호 발생회로(350), 출력 버퍼(360), 모드 레지스터 셋(Mode Register Set:MRS, 370) 및 리드 명령 디코더(read command decoder, 380)를 구비한다.
- <33> 입력 지연동기루프회로(310)는 미리 설정된 입력 동기시간(input locking time)이 경과한 후 외부클락신호(ECLK)에 동기하는 내부클락신호(PCLK)를 발생시킨다. 상기 입력 동기시간은 TCC, 2TCC 또는 3TCC 일 수 있다. 여기서, 상기 TCC는 외부클락 신호의 하나의 사이클(cycle) 또는 하나의 주기(period)이다.
- <34> 출력 지연동기루프회로(320)는 미리 설정된 출력 동기시간(output locking time)이 경과한 후 외부클락신호(ECLK)에 동기하며, 데이터(DOUT)가 외부클락신호(ECLK)에 동기

되어 출력되도록 제어하는 출력제어클락신호(PCLKDQ)를 발생시킨다. 상기 출력 동기시간은 TCC, 2TCC, 3TCC, 4TCC 또는 5TCC 일 수 있다. 입력 지연동기루프회로(310)와 출력 지연동기루프회로(320)는 전압 제어 지연 라인(VCDL: Voltage Controlled Delay Line)을 공유할 수 있다.

<35> 제1 전송/지연 회로(330)는 카스 레이턴시의 활성화를 지시하는 카스 레이턴시 신호(CLi, 여기서 $i = 3, 4, 5, 6, 7$)에 응답하여, 내부클락신호(PCLK) 및 출력제어클락신호(PCLKDQ)의 소스 클락을 일치시키기 위하여 내부클락신호(PCLK)를 지연 없이 전송하거나 또는 내부클락신호(PCLK)를 내부클락신호(PCLK)의 적어도 하나의 사이클(즉, 단위 주기(unit period) 지연 시간) 만큼 지연하고 보상된 내부클락신호(PCLK_C)를 발생한다. 즉, 제1 전송/지연 회로(330)는 카스 레이턴시에 따라 내부클락신호(PCLK)의 지연시간을 다르게 한다. 예를 들어, 카스 레이턴시가 3인 경우의 동작 주파수가 200(MHz)이면, 단위 주기 지연 시간은 5(ns)이고, 카스 레이턴시가 6인 경우의 동작 주파수가 400(MHz)이면, 단위 주기 지연 시간은 2.5(ns)이다.

<36> 제2 전송/지연 회로(340)는 카스 레이턴시 신호(CLi, 여기서 $i = 3, 4, 5, 6, 7$)에 응답하여, 내부클락신호(PCLK) 및 출력제어클락신호(PCLKDQ)의 소스 클락을 일치시키기 위하여 출력제어클락신호(PCLKDQ)를 지연 없이 전송하거나 또는 출력제어클락신호(PCLKDQ)를 출력제어클락신호(PCLKDQ)의 적어도 한 사이클(cycle) 만큼 지연하고 보상된 출력제어클락신호(PCLKDQ_C)를 발생한다. 즉, 제2 전송/지연 회로(340)도 제1 전송/지연 회로(330)와 유사하게 카스 레이턴시에 따라 출력제어클락신호(PCLKDQ)의 지연 시간을 다르게 한다.

- <37> 한편, 본 발명의 일 실시예는 제1 전송/지연 회로(330) 및 제2 전송/지연 회로(340)를 모두 구성요소로서 포함하고 있지만, 내부클락신호(PCLK)의 소스 클락이 출력제어클락신호(PCLKDQ)의 소스 클락 보다 위상이 앞서는(lead) 경우는 제1 전송/지연 회로(330)만을 구비할 수도 있고, 출력제어클락신호(PCLKDQ)의 소스 클락이 내부클락신호(PCLK)의 소스 클락 보다 위상이 앞서는 경우는 제2 전송/지연 회로(340)만을 구비할 수도 있다.
- <38> 출력제어신호 발생회로(350)는 도 1에 도시된 출력제어신호 발생회로의 구성요소와 동일한 구성요소를 포함하며, PCLK 대신 PCLK_C가, PCLKDQ 대신 PCLKDQ_C가 제어신호로 사용된다는 점에서 차이가 있다. 출력제어신호 발생회로(350)는 보상된 내부클락신호(PCLK_C) 및 보상된 출력제어클락신호(PCLKDQ_C)에 응답하여 데이터(DOUT)의 출력구간을 지시하는 리드 정보 신호(PREAD)를 쉬프트하고, 카스 레이턴시 신호(CLi)에 응답하여 상기 쉬프트된 리드 정보 신호들 중 하나를 각각의 카스 레이턴시 신호(CLi)에 대응하는 출력제어신호(LATENCY)로서 출력한다.
- <39> 출력버퍼(360)는 출력제어신호(LATENCY) 및 출력제어클락신호(PCLKDQ)에 응답하여, 내부 데이터(DATA)를 버퍼링(buffering)하여 데이터(DOUT)를 출력한다.
- <40> 모드 레지스터 셋(370)은 엠알에스 명령(MRS CMD)에 응답하여 카스 레이턴시 신호(CLi)를 발생시킨다. 리드 명령 디코더(380)는 리드 명령(READ CMD)을 디코딩(decoding)하여 리드 정보 신호(PREAD)를 발생한다.
- <41> 도 4는 도 3에 도시된 제1 전송/지연 회로를 보다 상세히 나타내는 블록 다이어그램이다. 도 4를 참조하면, 제1 전송/지연 회로(330)는 5개의 전송/지연부들(331, 332, 333, 334, 335) 및 멀티플렉서(336)를 구비한다. 제1 전송/지연부(331)는 카스 레이턴시

가 3인 경우에 대응하는 전송/지연부이며, 제1 단위주기 지연회로(3311), 제2 단위주기 지연회로(3312), 제3 단위주기 지연회로(3313) 및 퓨즈들(3314)을 포함한다. 제2, 제3, 제4 및 제5 전송/지연부들(332, 333, 334, 335) 각각은 제1 전송/지연부(331)와 동일한 구성요소를 포함하며, 카스 레이턴시가 4, 5, 6 및 7인 경우에 대응하는 전송/지연부이다. 따라서, 설명의 편의상 제1 전송/지연부(331)만이 설명된다.

<42> 제1 전송/지연부(331)는 퓨즈들(F1 ~ F4)의 절단(cutting) 여부에 따라 지연시간이 다른 내부클락신호(PCLK)를 멀티플렉서(336)로 전달한다. 예를 들어, 내부클락신호(PCLK)와 출력제어클락신호(PCLKDQ)의 소스 클락을 일치시키기 위하여 두 개의 단위 주기들의 지연이 필요한 경우 제3 퓨즈(F3)는 절단되지 않고 나머지 퓨즈들(F1, F2, F4)이 절단된다. 본 발명의 바람직한 실시예에서는 지연시간이 다른 내부클락신호(PCLK)를 선택하기 위해 퓨즈들(F1~F4)이 사용되었지만, 내부클락신호(PCLK)가 전송/지연되는 전송/지연 경로를 차단하거나 연결할 수 있는 메탈 옵션(metal option)이 사용될 수도 있다.

<43> 한편, 본 발명의 일 실시예에서 각각의 전송/지연부들(331~335)은 3개의 단위주기 지연회로들을 포함하지만, 본 발명의 다른 실시예에서는 3개 보다 많은 수의 단위주기 지연회로들을 포함할 수도 있다.

<44> 멀티플렉서(336)는 카스 레이턴시 신호(CLi, 여기서 $i = 3, 4, 5, 6, 7$)에 응답하여, 제1, 제2, 제3, 제4 및 제5 전송/지연부(331, 332, 333, 334, 335)로부터 전달된 내부클락신호들 중 하나를 선택하여 보상된 내부클락신호(PCLK_C)를 발생시킨다.

<45> 도 5는 도 3에 도시된 제2 전송/지연 회로를 보다 상세히 나타내는 블록 다이어그램이다. 도 5를 참조하면, 제2 전송/지연 회로(340)는 5개의 전송/지연부들(341, 342, 343, 344, 345) 및 멀티플렉서(346)를 구비한다. 제6 전송/지연부(341)는 카스 레이턴시

가 3인 경우에 대응하는 전송/지연부이며, 제4 단위주기 지연회로(3411), 제5 단위주기 지연회로(3412), 제6 단위주기 지연회로(3413) 및 퓨즈들(3314)을 포함한다. 제7, 제8, 제9 및 제10 전송/지연부들(342, 343, 344, 345) 각각은 제6 전송/지연부(341)와 동일한 구성요소를 포함하며, 카스 레이턴시가 4, 5, 6 및 7인 경우에 대응하는 전송/지연부이다. 따라서, 설명의 편의상 제6 전송/지연부(341)만이 설명된다.

<46> 제6 전송/지연부(341)는 퓨즈들(F5 ~ F8)의 절단(cutting) 여부에 따라 지연시간이 다른 출력제어클락신호(PCLKDQ)를 멀티플렉서(346)로 전달한다. 예를 들어, 내부클락신호(PCLK)와 출력제어클락신호(PCLKDQ)의 소스 클락을 일치시키기 위하여 두 개의 단위주기들의 지연이 필요한 경우 제7 퓨즈(F7)는 절단되지 않고 나머지 퓨즈들(F5, F6, F8)이 절단된다. 본 발명의 바람직한 실시예에서는 지연시간이 다른 출력제어클락신호를 선택하기 위해 퓨즈들이 사용되었지만, 출력제어클락신호(PCLKDQ)가 전송/지연되는 전송/지연 경로를 차단하거나 연결할 수 있는 메탈 옵션(metal option)이 사용될 수도 있다.

<47> 한편, 본 발명의 일 실시예에서는 각각의 전송/지연부들(341~345)은 3개의 단위주기 지연회로들을 포함하지만, 본 발명의 다른 실시예에서는 3개 보다 많은 수의 단위주기 지연회로들을 포함할 수도 있다.

<48> 멀티플렉서(346)는 카스 레이턴시 신호(CLi, 여기서 $i = 3, 4, 5, 6, 7$)에 응답하여, 제6, 제7, 제8, 제9 및 제10 전송/지연부들(341, 342, 343, 344, 345)을 통해 전송/지연된 출력제어클락신호(PCLKDQ)들 중 하나를 선택하여 보상된 출력제어클락신호(PCLKDQ_C)를 발생시킨다.

<49> 도 6은 카스 레이턴시가 6일 때 본 발명의 일 실시예에 따른 동기식 반도체 메모리 장치의 동작을 나타내는 예시적인 타이밍 다이어그램이다.

- <50> 외부클락신호(ECLK)에 동기되어 엠알에스 명령(MRS CMD)이 인가되면, 카스 레이턴시가 6임을 나타내는 카스 레이턴시 신호(CL6)가 활성화된다. 그 다음에, 제4 외부클락신호(ECLK4)에 동기되어 리드 명령(READ CMD)이 인가되면, 리드 정보 신호(PREAD)가 소정의 시간 구간 동안 하이 레벨(high level)로서 활성화된다.
- <51> 도 3에 도시된 입력 지연동기루프회로(310)의 입력 동기시간(locking time)이 3TCC일 때, 리드 정보 신호(PREAD)를 샘플링하는 제1 내부클락신호(PCLK1)의 소스 클락은 제2 외부클락신호(ECLK2)이다. 그리고, 도 3에 도시된 출력 지연동기루프회로(320)의 출력 동기시간(locking time)이 5TCC일 때, 제1 내부클락신호(PCLK1)에 의해 샘플링된 리드 정보 신호를 샘플링하는 제1 출력제어클락신호(PCLKDQ1)의 소스 클락은 제1 외부클락신호(ECLK1)이다. 따라서, 제1 내부클락신호(PCLK1)의 소스클락(ECLK2)과 제1 출력제어클락신호(PCLKDQ1)의 소스클락(ECLK2)을 일치시키기 위해, 보상된 출력제어클락신호(PCLKDQ_C)는 도 3에 도시된 제2 전송/지연회로(340)에 의해 출력제어클락신호(PCLKDQ)를 도 6에 도시된 바와 같이 단위 주기(TD = TCC) 만큼 지연하여 발생되고, 보상된 내부클락신호(PCLK_C)는 도 3의 제1 전송/지연회로(330)에 의해 내부클락신호(PCLK)를 지연 없이 전송하여 발생된다.
- <52> 한편, 제2, 제3 및 제4 출력제어클락신호들(PCLKDQ2, PCLKDQ3, PCLKDQ4)에 의해 클락킹되어 발생하는 출력제어신호(LATENCY)는 첫 번째 유효한(valid) 출력제어클락신호에 대응하는 제5 출력제어클락신호(PCLKDQ5) 이전에 하이 레벨로 활성화된다. 출력제어클락신호(PCLKDQ)는 $t_{AC}=0$ 인 조건을 만족시키기 위하여 도 6에 도시된 t_{SAC} (clock to valid output delay time) 이전에 발생되도록 설정되고, 상기 t_{SAC} 는 동작 주파수와 무관하게 고정된 시간이다. 데이터(DOUT)는 제10 외부클락신호(ECLK10)의 상승 에지

(rising edge) 및 하강 에지(falling edge)에 동기되어 제1 데이터(D0) 및 제2 데이터(D1)로서 출력된다.

<53> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<54> 본 발명에 따른 동기식 반도체 메모리 장치는 서로 다른 종류의 클락 신호들을 가지고 클락킹하는 출력제어신호 발생회로에서 상기 클락신호들의 소스 클락을 일치시킴으로써, 듀티 사이클의 에러에 대한 여유도(immunity)를 증가시킬 수 있고 지터의 영향을 감소시켜 안정적인 동작을 수행할 수 있다.

【특허청구범위】

【청구항 1】

입력 동기시간이 경과한 후 외부클락신호에 동기하는 내부클락신호를 발생하는 입력 지연동기루프회로;

출력 동기시간이 경과한 후 상기 외부클락신호에 동기하며, 데이터가 상기 외부클락신호에 동기되어 출력되도록 제어하는 출력제어클락신호를 발생하는 출력 지연동기루프회로;

각각의 소스 클락들이 일치된 내부클락신호와 출력제어클락신호에 응답하여 리드 정보 신호를 순차적으로 쉬프트하고, 카스 레이턴시의 활성화를 지시하는 카스 레이턴시 신호에 응답하여 상기 쉬프트된 리드 정보 신호들 중 하나를 상기 데이터의 출력구간을 지시하는 출력제어신호로서 발생하는 출력제어신호 발생회로; 및

상기 출력제어신호 및 상기 출력제어클락신호에 응답하여, 내부 데이터를 버퍼링하여 상기 데이터를 출력하는 출력버퍼를 구비하는 것을 특징으로 하는 동기식 반도체 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 동기식 반도체 메모리 장치는

상기 내부클락신호와 상기 출력제어클락신호의 소스클락을 일치시키기 위하여, 상기 내부클락신호를 지연 없이 전송하거나 또는 상기 내부 클락 신호의 적어도 한 사이클만큼 지연하는 제1 전송/지연 회로를 더 구비하는 것을 특징으로 하는 동기식 반도체 메모리 장치.

**【청구항 3】**

제2항에 있어서, 상기 동기식 반도체 메모리 장치는

상기 내부클락신호와 상기 출력제어클락신호의 소스클락을 일치시키기 위하여, 상기 출력제어클락신호를 지연 없이 전송하거나 또는 상기 출력제어클락신호의 적어도 한 사이클 만큼 지연하는 제2 전송/지연 회로를 더 구비하는 것을 특징으로 하는 동기식 반도체 메모리 장치.

【청구항 4】

제3항에 있어서, 상기 제1 전송/지연 회로는

카스 레이턴시가 3인 경우에 대응하며, 상기 내부클락신호를 절단되지 않은 퓨즈를 통해 지연 없이 전송하거나, 또는 상기 내부클락신호를 상기 절단되지 않은 퓨즈를 통해 상기 내부클락신호의 한 사이클, 두개의 사이클들 또는 세 개의 사이클들 만큼 지연하는 제1 전송/지연부;

상기 카스 레이턴시가 4인 경우에 대응하며, 상기 내부 클락신호를 절단되지 않은 퓨즈를 통해 지연 없이 전송하거나, 또는 상기 내부클락신호를 상기 절단되지 않는 퓨즈를 통해 상기 내부클락신호의 한 사이클, 두 개의 사이클들 또는 세 개의 사이클들 만큼 지연하는 제2 전송/지연부;

상기 카스 레이턴시가 5인 경우에 대응하며, 상기 내부클락신호를 절단되지 않은 퓨즈를 통해 지연 없이 전송하거나, 또는 상기 내부클락신호를 상기 절단되지 않는 퓨즈를 통해 상기 내부클락신호의 한 사이클, 두개의 사이클들 또는 세 개의 사이클들 만큼 지연하는 제3 전송/지연부;



상기 카스 레이턴시가 6인 경우에 대응하며, 상기 내부클락신호를 절단되지 않은 퓨즈를 통해 지연 없이 전송하거나, 또는 상기 내부클락신호를 상기 절단되지 않은 퓨즈를 통해 상기 내부클락신호의 한 사이클, 두 개의 사이클들 또는 세 개의 사이클들 만큼 지연하는 제4 전송/지연부;

상기 카스 레이턴시가 7인 경우에 대응하며, 상기 내부클락신호를 절단되지 않은 퓨즈를 통해 지연 없이 전송하거나, 또는 상기 내부클락신호를 상기 절단되지 않은 퓨즈를 통해 상기 내부클락신호의 한 사이클, 두 개의 사이클들 또는 세 개의 사이클들 만큼 지연하는 제5 전송/지연부; 및

상기 카스 레이턴시가 3, 4, 5, 6 및 7임을 지시하는 각각의 카스 레이턴시 신호들에 응답하여, 상기 제1, 제2, 제3, 제4 및 제5 전송/지연부를 통해 전송/지연되는 내부클락신호들 중 하나를 선택하는 멀티플렉서를 구비하는 것을 특징으로 하는 동기식 반도체 메모리 장치.

【청구항 5】

제4항에 있어서, 상기 제2 전송/지연 회로는

카스 레이턴시가 3인 경우에 대응하며, 상기 출력제어클락신호를 절단되지 않은 퓨즈를 통해 지연 없이 전송하거나, 또는 상기 출력제어클락신호를 상기 절단되지 않는 퓨즈를 통해 상기 출력제어클락신호의 한 사이클, 두개의 사이클들 또는 세 개의 사이클들 만큼 지연하는 제6 전송/지연부;

상기 카스 레이턴시가 4인 경우에 대응하며, 상기 출력제어클락신호를 절단되지 않은 퓨즈를 통해 지연 없이 전송하거나, 또는 상기 출력제어클락신호를 상기 절단되지 않



는 퓨즈를 통해 상기 출력제어클락신호의 한 사이클 또는 두 개의 사이클들 또는 세 개의 사이클들 만큼 지연하는 제7 전송/지연부;

상기 카스 레이턴시가 5인 경우에 대응하며, 상기 출력제어클락신호를 절단되지 않은 퓨즈를 통해 지연 없이 전송하거나, 또는 상기 출력제어클락신호를 상기 절단되지 않은 퓨즈를 통해 상기 출력제어클락신호의 한 사이클, 두개의 사이클들 또는 세 개의 사이클들 만큼 지연하는 제8 전송/지연부;

상기 카스 레이턴시가 6인 경우에 대응하며, 상기 출력제어클락신호를 절단되지 않은 퓨즈를 통해 지연 없이 전송하거나, 또는 상기 출력제어클락신호를 상기 절단되지 않은 퓨즈를 통해 상기 출력제어클락신호의 한 사이클, 두 개의 사이클들 또는 세 개의 사이클들 만큼 지연하는 제9 전송/지연부;

상기 카스 레이턴시가 7인 경우에 대응하며, 상기 출력제어클락신호를 절단되지 않은 퓨즈를 통해 지연 없이 전송하거나, 또는 상기 출력제어클락신호를 상기 절단되지 않은 퓨즈를 통해 상기 출력제어클락신호의 한 사이클, 두 개의 사이클들 또는 세 개의 사이클들 만큼 지연하는 제10 전송/지연부; 및

상기 카스 레이턴시가 3, 4, 5, 6 및 7임을 지시하는 각각의 카스 레이턴시 신호들에 응답하여, 상기 제6, 제7, 제8, 제9 및 제10 전송/지연부를 통해 전송/지연되는 출력제어클락신호들 중 하나를 선택하는 멀티플렉서를 구비하는 것을 특징으로 하는 동기식 반도체 메모리 장치.

【청구항 6】

제5항에 있어서, 상기 제1, 제2, 제3, 제4 및 제5 전송/지연부들 각각은



상기 내부클락신호를 상기 내부클락신호의 한 사이클 만큼 지연하는 제1 단위주기 지연회로;

상기 제1 단위주기 지연회로를 통해 지연된 내부클락신호를 상기 내부클락신호의 한 사이클 만큼 지연하는 제2 단위주기 지연회로;

상기 제2 단위주기 지연회로를 통해 지연된 내부클락신호를 상기 내부클락신호의 한 사이클 만큼 지연하는 제3 단위주기 지연회로;

절단되지 않을 때, 상기 내부클락신호를 지연없이 상기 멀티플렉서로 전송하는 제1 퓨즈;

절단되지 않을 때, 상기 제1 단위주기 지연회로를 통해 지연되는 내부클락신호를 상기 멀티플렉서로 전송하는 제2 퓨즈;

절단되지 않을 때, 상기 제2 단위주기 지연회로를 통해 지연되는 내부클락신호를 상기 멀티플렉서로 전송하는 제3 퓨즈; 및

절단되지 않을 때, 상기 제3 단위주기 지연회로를 통해 지연되는 내부클락신호를 상기 멀티플렉서로 전송하는 제4 퓨즈를 구비하는 것을 특징으로 하는 동기식 반도체 메모리 장치.

【청구항 7】

제6항에 있어서, 상기 제6, 제7, 제8, 제9 및 제10 전송/지연부들 각각은

상기 출력제어클락신호를 상기 출력제어클락신호의 한 사이클 만큼 지연하는 제4 단위주기 지연회로;

상기 제4 단위주기 지연회로를 통해 지연된 출력제어클락신호를 상기 출력제어클락 신호의 한 사이클 만큼 지연하는 제5 단위주기 지연회로;

상기 제5 단위주기 지연회로를 통해 지연된 출력제어클락신호를 상기 출력제어클락 신호의 한 사이클 만큼 지연하는 제6 단위주기 지연회로;

절단되지 않을 때, 상기 출력제어클락신호를 지연없이 상기 멀티플렉서로 전송하는 제5 퓨즈;

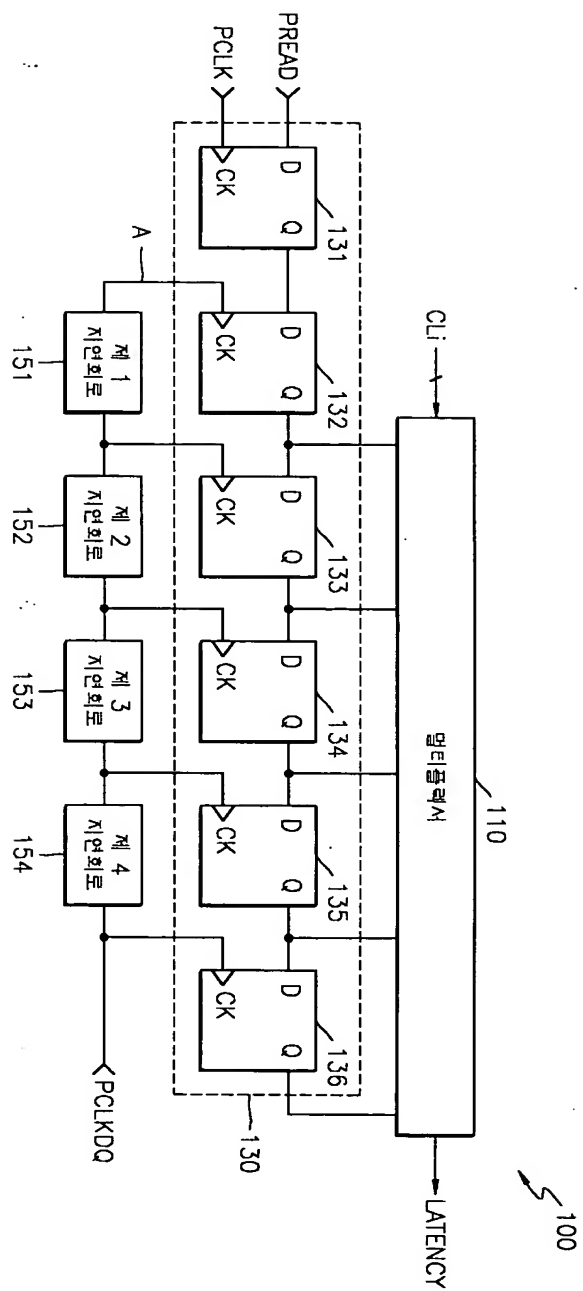
절단되지 않을 때, 상기 제4 단위주기 지연회로를 통해 지연되는 출력제어클락신호를 상기 멀티플렉서로 전송하는 제6 퓨즈;

절단되지 않을 때, 상기 제5 단위주기 지연회로를 통해 지연되는 출력제어클락신호를 상기 멀티플렉서로 전송하는 제7 퓨즈; 및

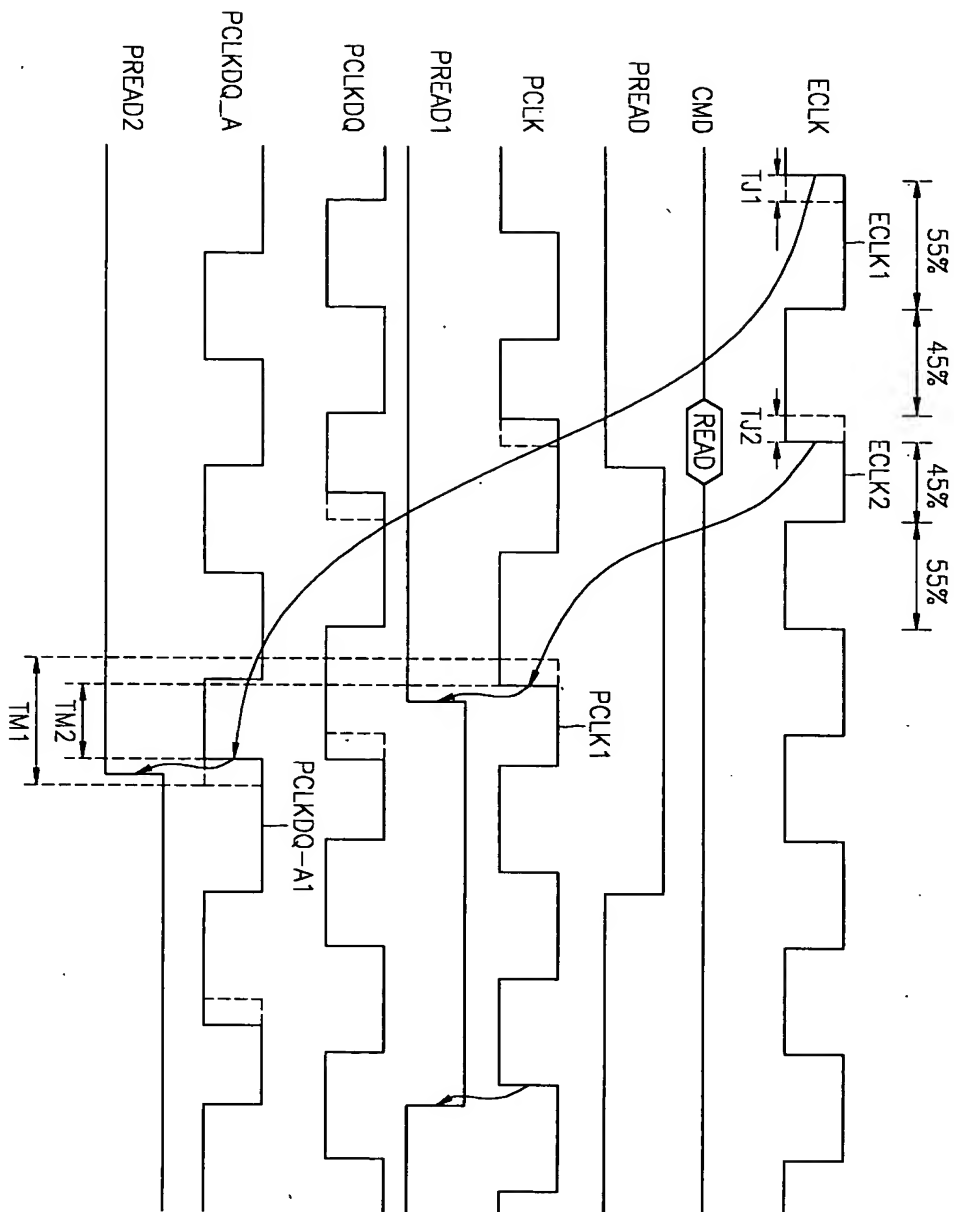
절단되지 않을 때, 상기 제6 단위주기 지연회로를 통해 지연되는 출력제어클락신호를 상기 멀티플렉서로 전송하는 제8 퓨즈를 구비하는 것을 특징으로 하는 동기식 반도체 메모리 장치.

【도면】

【도 1】

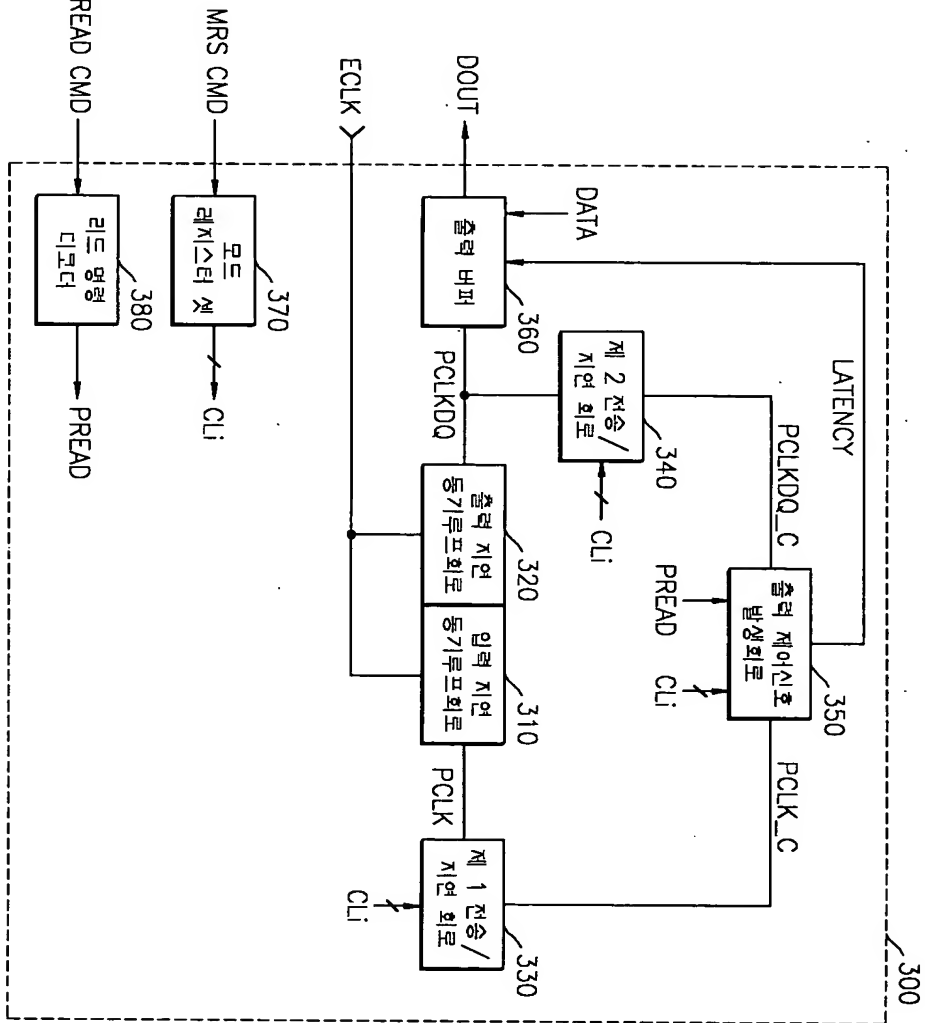


【도 2】





【 3 번째 】



【도 4】

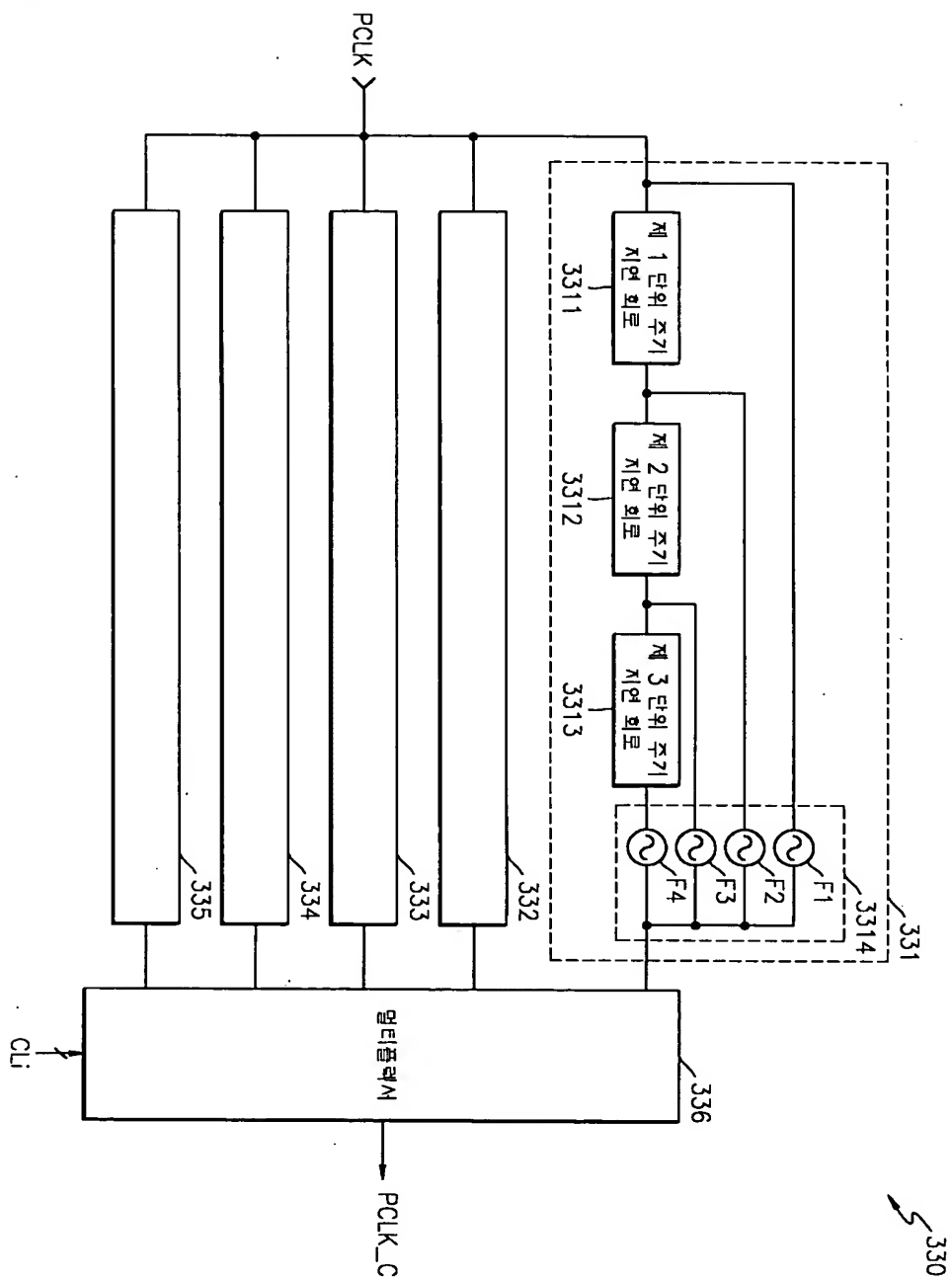


Figure 1 is a block diagram of a multi-channel PLL system. The system includes a multi-channel PLL (346) and four channels (342, 343, 344, 345). The multi-channel PLL (346) receives a reference clock signal PCLKDQ_C and outputs a multi-channel clock signal PCLKDQ. The multi-channel clock signal PCLKDQ is distributed to the four channels (342, 343, 344, 345). Channel 342 is further detailed, showing a feedback loop with dividers (3411, 3412, 3413) and phase-locked loops (F5, F6, F7, F8) within a feedback loop (3414).

【표 6】

